

PAT-NO: JP411126895A

DOCUMENT-IDENTIFIER: JP 11126895 A

TITLE: ACTIVE PIXEL IMAGE SENSOR HAVING SHARED  
AMPLIFIER READOUT

PUBN-DATE: May 11, 1999

INVENTOR-INFORMATION:

NAME

GUIDASH; ROBERT MICHAEL

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

EASTMAN KODAK CO

COUNTRY

N/A

APPL-NO: JP10228795

APPL-DATE: August 13, 1998

PRIORITY-DATA: 97911235 ( August 15, 1997)

INT-CL (IPC): H01L027/146, H04N005/335

ABSTRACT:

PROBLEM TO BE SOLVED: To make a high fill factor possible in a device and to miniaturize the pixel size and the size of the device by a method, wherein the device is provided with at least two lines of adjacent pixels, at least two strings of adjacent pixels which are formed in a substrate, and at least one kind of electrical function which is integrated in the pixels and is shared between the pixels.

SOLUTION: A new pixel architecture 30 shares an electrical function among pixels 11, 12, 21 and 22. In the pixels 11, 12, 21 and 22, vertically adjacent

pixels are the pixels 11 and 12 and the pixels 21 and 22, and laterally adjacent pixels are arranged as the pixels 11 and 21 and the pixels 12 and 22. Moreover, the architecture 30 has a common floating diffusion part 41 between the line adjacent pixels 11 and 12 of a line 1 and has a common floating diffusion part 42 between the line adjacent pixels 21 and 22. An amplifier 32 is suitably formed into a source follower transistor configuration. The amplifier 32 is shared by all of the four pixels of the pixels 11, 12, 21 and 22 which are shared by the architecture 30 as in a line selecting transistor 34 and a reset transistor 36. One string output bus 87 by two strings is multiplexed with respect to each group of the strings.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-126895

(43) 公開日 平成11年(1999) 5月11日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/146

H 0 1 L 27/14

A

H 0 4 N 5/335

H 0 4 N 5/335

U

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平10-228795

(71) 出願人 590000846

(22) 出願日 平成10年(1998) 8月13日

イーストマン コダック カンパニー

アメリカ合衆国, ニューヨーク14650, ロ

チェスター, ステイト ストリート343

(31) 優先権主張番号 08/911, 235

(72) 発明者

ロバート ミッシェル ガイダッシュ

(32) 優先日 1997年8月15日

アメリカ合衆国 ニューヨーク州 ラッシ

(33) 優先権主張国 米国 (U S)

ユ サンダー リッジ ドライブ 55

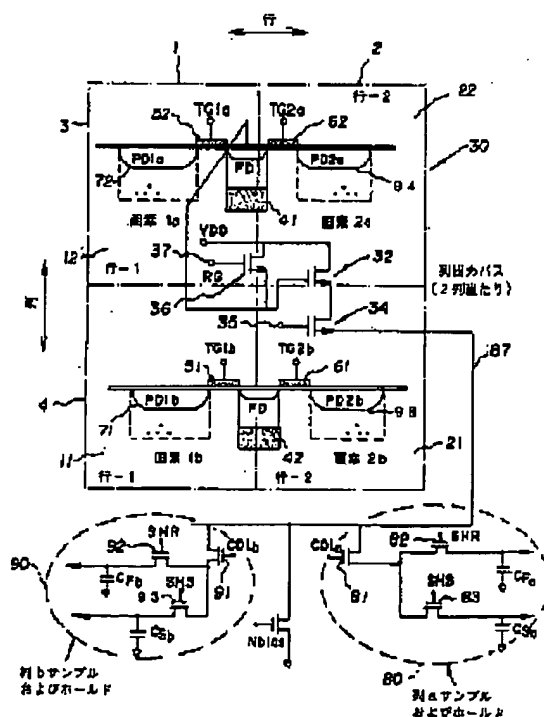
(74) 代理人 弁理士 吉田 研二 (外2名)

(54) 【発明の名称】 共有された増幅器読出しを有する能動画素画像センサ

(57) 【要約】

【課題】 従来は、行方向と列方向の双方で電気的機能を共有していなかったため、フィルファクタが増大するという問題点があった。

【解決手段】 画素アーキテクチャ30は2行2列に配置された画素11、12、21、22間で、リセットトランジスタ36、行選択トランジスタ34、列出力バス87等の回路素子を共有することにより、高いフィルファクタ、小さな画素寸法を実現する。



## 【特許請求の範囲】

【請求項1】 1連の行と列に配置された複数の画素を有する画像センサであって、  
第1の導電型の半導体基板と、  
前記基板内に形成された少なくとも2行の近接した画素および少なくとも2列の近接した画素と、  
前記の近接した画素内に集積され、前記の近接した画素間で共有される少なくとも1種類の電気的機能と、  
を備えることを特徴とする画像センサ。

【請求項2】 行と列に配置された複数の画素を有する画像センサであって、  
2行の近接した画素上で作動する1個の行選択信号および2行の近接した画素に対して作動する1個の行選択バスと、  
2列の近接した画素に対して作動する1個の列出力バスと、  
前記画素の各々に対する1個の分離した伝達ゲートと、  
与えられた行内の他の全ての画素に対する1個の分離した伝達ゲートバスと、  
を備えることを特徴とする画像センサ。

【請求項3】 固体画像センサの製造方法であって、  
列と行に形成された複数の画素を有する半導体基板を製作する工程と、  
さらに、少なくとも2行の近接した画素および2列の近接した画素内に、前記近接した画素間で共有される1種類の電気的機能を製造する工程とを含むことを特徴とする固体画像センサの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は固体光センサと撮像素子に関するものであり、もっと具体的に言うと能動画素センサ（APS）として参照される撮像素子を基礎とする半導体に関するものである。

## 【0002】

【従来の技術】本出願は、「画素間で機能を共有した能動画素センサ」の名称でRobert M. Guidashにより1997年2月28日に出願された米国特許出願第08/808,444号に関連するものである。

【0003】能動画素センサ（APS）は固体撮像素子であり、各画素は能動回路素子と接続された1個の光検知手段を有している。これらの回路素子は、一般に、画素のリセット機能を実行する手段、すなわち電荷を転送する手段であるか、または、電圧の変換を実行する手段、すなわち増幅に使用される回路素子である。APS装置は、その撮像素子の各線、すなわち行が選択され、その後、列選択信号（記憶装置のワードとビットの線に、それぞれ類似している）を用いて読み出される方法で動作させられる。完全に単一の画素の境界内に、これらの構成部品の全てが配置されている従来の装置は、開示されている。

【0004】これらの能動回路素子の構成部品が各画素内に含まれていることは、その画素に対するフィルファクタを低下させる。なぜなら、もし各画素内に能動回路素子の構成部品を含まないならば光検出器のために使用できた筈の面積を、構成部品が占有するからである。このことは、そのセンサの感度と飽和信号を低下させ、ひいては良好な画質を得るのに重要なそのセンサの写真スピードやダイナミックレンジ、性能に影響する因子に影響を及ぼす。さらに、これらの能動回路素子が画素内部に含まれていることは、その画素の最小寸法を制限することになり、画像センサの寸法とコストに悪影響を与えることになる。

【0005】高い解像度の小形の画素APS装置を製作するためには、行選択トランジスタに割り当てられた画素および画素内部の増幅器のその他の部分の面積を最小にする目的でサブミクロンCMOSプロセスを使用する必要がある。本質的には、標準的な電荷結合素子（CCD）センサと比較した場合、同じ解像度と感度のAPS装置を実現するには、さらに高度な技術と、さらに高コストのプロセスを必要とする。しかしながら、APS装置は、CCDセンサに比較すれば、単一5V電源作動、低消費電力、x-γアドレス指定能力、画像ウインド処理およびチップ上の信号処理エレクトロニクスを効果的に集積する能力などの長所を持つ。

【0006】図1には、代表的な従来技術のAPS画素が示されている。この画素は、フォトダイオードまたはフォトゲート技術のいずれかによって製作できる光検出器14、伝達ゲート15、浮動拡散部16、リセットゲート19を有するリセットトランジスタ18、行選択ゲート9を有する行選択トランジスタ8、ソースフォロア増幅器である信号トランジスタ7を含む。これらの構成部品の全てを単一の画素内部に包含するので、画素のフィルファクタ、感度の低下および最小寸法の増加を招くことになる。

【0007】図3と共に図2を参照すれば、CCDの感度とAPS装置の長所を有する画像センサを提供するための一つの方法は、画素アーキテクチャの所望の特徴と機能を維持しながら、単一の画素内で構成部品に割り当てられる領域の大きさを減少させることによって、APS装置のフィルファクタと感度を改善させることである。

【0008】図3と共に図2を参照すれば、米国特許出願「画素間で機能を共有した能動画素センサ」の名称で、Guidashにより出願された米国特許出願第08/808,444号が、APS装置に対するフィルファクタを増大させる方法を開示している。Guidashのこの従来技術は、能動画素センサ内に、一般的に使用されている各種の部品を共有することを示唆している。画素アーキテクチャのフィルファクタを増大させるために、浮動拡散部、ソースフォロア増幅器、行選択ト

3

ランジスタ、および2個の隣接した光検出器と伝達ゲート間のリセットトランジスタを共有することが、ここには開示されている。フィルファクタを増大させるために Guidash によって用いられた基本的な考えは、センサの作動中、一度に1行ずつだけ読み出すということである。この考えに基づいて、Guidashは、図1のAPS装置のように各画素に1個ずつではなく、隣接した2行内に配置されている画素に対して、単一の浮動拡散部26と単一の増幅器である信号トランジスタ27を提供することにした。一度に1行だけが読み出されるので、単一の浮動拡散部26、リセットトランジスタ28、行選択トランジスタ29および信号トランジスタ27（一般にソースフォロワ増幅器）を、別の行の2個の隣接した画素に使用することができる。

【0009】

【発明が解決しようとする課題】しかしながら、図2および図3に示されている装置では、構成部品の共有と能動画素センサ内のフィルファクタの増大とを考慮しているけれども、行と列両方の間の機能の結合とこのようなアーキテクチャから生じるフィルファクタの増大を考慮に入れていない。

【0010】前述の考察から、従来技術では、行方向の画素と同様に列方向の画素間での電気的機能の結合と、それによって派生するフィルファクタの増大を考慮するようなAPSアーキテクチャに対する必要性が残っていることが明らかとなるであろう。

【0011】

【課題を解決するための手段】本発明は、従来技術の能動画素センサ（APS）における前述の問題を取り扱っている。それは、画素と列回路アーキテクチャの新技術を含むものであり、さらに高いフィルファクタの画素、または、さらに小形の画素を提供するものである。隣接する列と隣接する行との間で構成部品が共有されることによって、構成部品は、2個ではなく4個の別個の光検出器と伝達ゲートによって共有されることになる。本発明は、そのAPS装置の特定の画素を選択的にアドレス指定する能力を保持しつつ、前述の構成部品が4個の別個の光検出器と伝達ゲートによって共有されるように、これらの構成部品をさらに2列の隣接した光検出器と伝達ゲート間で共有することによって、フィルファクタをさらに改善し、最小画素寸法をさらに減少させる手段を提供する。

【0012】簡単に要約すれば、本発明の一つの態様によれば、本発明は1連の行と列に配置された複数の画素を有する画像センサであって、その基板内に形成された少なくとも2行の近接した画素および少なくとも2列の近接した画素とを有する第1の導電型の半導体基板と、前記の近接した画素内に集積され前記の近接した画素間で共用される少なくとも1種類の電気的機能とを備えることを特徴とする画像センサである。

4

【0013】本発明のこれらの、およびその他の態様、目的、特色および効果は、好適な実施形態と添付された特許請求の範囲に対する下記の詳細な記述を再吟味し、かつ、添付の図面を参照することによって、なお一層明確に理解、認識されるであろう。

【0014】

【発明の実施の形態】発明者は、隣接する画素間で機能を共有することによって、大形のセンサと同様なフィルファクタを依然として保持しながら、全体寸法が小さいセンサ装置になるような、小さな画素寸法を達成できる画素アーキテクチャを見出した。これによって、既存の従来技術の装置と同程度の大きさの画素寸法を有し、かつ増大した感度と飽和信号を持つ高いフィルファクタを有する低コストの装置が達成される。

【0015】図5と関連して理解される図4を参照すれば、新しい画素アーキテクチャの一つの物理的態様を現す本発明の好適な実施形態を理解することができる。その他の特定の物理的態様も実現可能であり、当業者であれば容易に明らかとなるに違いない。図4および図5において、新しい画素アーキテクチャ30は、画素11、12、21、および22の間での電気的機能を共有していることを表現しており、画素11、12、21および22は行隣接画素が画素11と12及び画素21と22であり列隣接画素11と21及び画素12と22として配置されている。図4は画素アーキテクチャ30の平面図を示し、図5は、図4の装置の概略図である。図からわかるように、画素アーキテクチャ30は、行1の行隣接画素11、12間に共有の浮動拡散部41を有し、行隣接画素21、22間に共有の浮動拡散部42を有している。増幅器32は、好適にはソースフォロワトランジスタ構成であって、行選択トランジスタ34やリセットトランジスタ36のように、共有されている画素11、12、21、22の4個の全てに共有される。

【0016】図4と図5に示されているように、行1、2の両方に対する行選択ゲート35は同一のゲートであり、列a、bの両方に対する列出力バス87も、実際には、同一のバスである。画像信号の分離は、隣接画素11、12、21、および22のそれぞれが別個の伝達ゲート51、52、61、および62を有することによって達成される。別個の伝達ゲートが、1列内の全ての画素にそれぞれに対して走っており、2列に一本の列出力バスは、列の各組に対して多重化されている。

【0017】さて、図4および図5と関連した新しいアーキテクチャの動作の一形態を詳細に示すタイミング図である図6を参照すれば、リセット状態では、リセットゲート37と共に伝達ゲートTG1b51、TG1a52、TG2b61およびTG2a62がオン状態にされ、イメージセンサ30に電力が供給される。行1への電荷の蓄積はTG1a52をオフにすることによって開始され、まず、画素12を含む行1内の奇数列の画素へ

の電荷の蓄積が開始される。所定の時間が経過した後、伝達ゲートTG1b51がオフにされ、図示されているように、画素11を含む行1内の偶数列の画素の電荷の蓄積が開始される。行1が所定の期間行選択ゲート35に電荷を蓄積すると、列aトランジスタ81はオンになる(列bトランジスタ91はオフである)。その後、リセットゲート37をオフにしかつSHR82をストローブすることによって、浮動拡散部41のリセットレベルが読出される。伝達ゲートTG1a52は、その後、パルス状にオンにされ、光検出器PD1a72からの信号電荷は浮動拡散部41上に転送される。SHS83をストローブすることによって、その後、行1内の奇数列の光検出器の信号レベルが読出される。画素12に対する蓄積電荷が転送されていた間に、画素11は、依然として光検出器PD1b71に電荷を蓄積させている。画素11内の蓄積電荷の転送は、列aトランジスタ81がオフにされ、列bトランジスタ91がオンにされると開始される。リセットゲート37は再びオンにされ、浮動拡散部41をリセットする。その後、そのリセットレベルは、SHR92をストローブすることによって読出される。次に伝達ゲートTG1b51は、適切な時間にパルス状にオンされる。適当な時間は、光検出器PD1a72とPD1b71が同一の電荷の蓄積時間を持つような時間長に決定される。画素11の光検出器PD1b内の信号電荷は、その後、浮動拡散部42上に伝達される(これは行1内の偶数列の光検出器の全てに対してあてはまる)。この信号レベルは、その後、SHS93をストローブすることによって読出される。これで、行1内の画素の全てが信号およびリセットキャパシタ内に読出されたことになる。行の読出しは、その後、従来技術のCMOS撮像装置において記述されている標準的方法によって実行される。この手順と同じ手順は第2行上でも行われ、そのとき、伝達ゲート22と21以外は全て同じ信号であり、画素22と21にはそれぞれ光検出器PD2a94とPD2b96が使用される。この動作は、1行毎にサンプルとホールドを列方向に飛び越す動作として、概念的に、説明することができる。

【0018】このアーキテクチャにおいては、結果として、能動構成部品が4個の光検出器間で共有されるので、高いフィルファクタと、従来技術の装置に比較して極めて小形の画素寸法を得ることができる。必要な全ての伝達ゲートを準備するには、1行につき1本の余分な金属電線路が必要になるけれども、これは、前述した画素1個毎に1個の増幅器を配置する構成および画素2個毎に1個の増幅器を配置する構成の両者において能動構成部品によって占有される面積よりもはるかに少ない面積を占めるに過ぎない。タイミングと制御のために、3個の余分な信号が必要になり、また、1列当たり2個の余分なトランジスタが必要になる。しかし、これらは、画像アレーの外部にあるCMOS論理素子に組み入れら

れているので、画素または画像アレーの面積には大きな影響を与えない。各行をベース上として画像捕捉を一時的に置換えることに加えて、このアーキテクチャでは、与えられた行内の奇数列と偶数列の画素の一時的な置換えもまた行われる。しかし、この時間は極めて短く(特に行から行への置換えに比較して)、せいぜい200ns程度であるので、いかなる画像捕捉アーチファクトも生じないであろう。サンプルとホールドに対する余分な過程(SHRおよびSHSストロービング)があるので、この新形のアーキテクチャに対しては最小行処理時間は僅かに長くなり、これはビデオ用に対しては最大フレーム速度をそれに対応する分だけ減少させる。

【0019】

【発明の効果】本発明は、同じ画素寸法で比較すれば、高いフィルファクタ、感度および飽和信号を有するという長所を備える。

【0020】また、本発明は同じフィルファクタで比較すれば、画素および装置の寸法が小形になり、低コストの装置を提供するという長所を備える。

【図面の簡単な説明】

【図1】 従来技術の画素の平面図である。

【図2】 機能を共有した従来技術の画素の平面図である。

【図3】 図2に示された機能を共有した従来技術の画素の概略図である。

【図4】 本発明によって実現される機能を共有した画素アーキテクチャの平面図である。

【図5】 図4に示された画素アーキテクチャの概略図である。

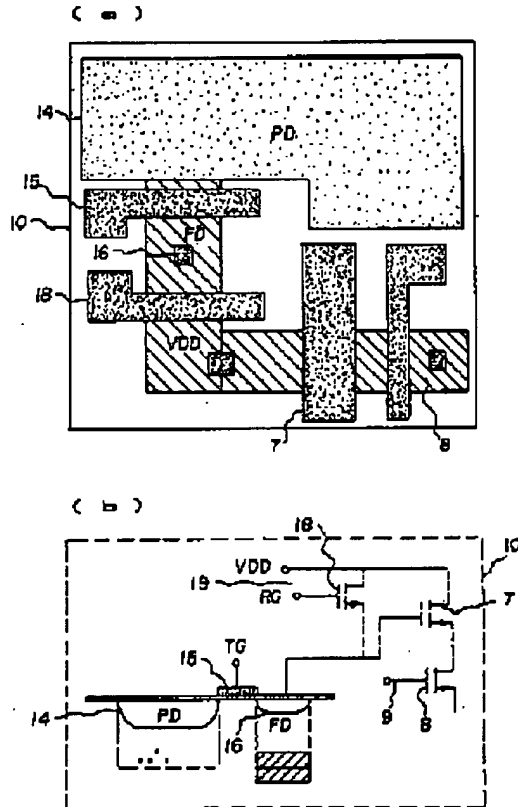
【図6】 本発明の動作を示すタイミング図である。

【符号の説明】

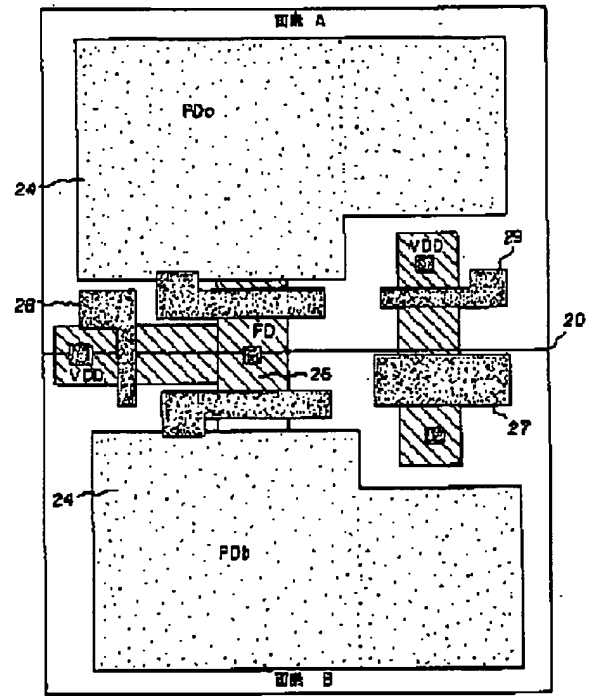
1 行1、2 行2、3 行3、4 行4、7 信号トランジスタ、8 行選択トランジスタ、9 行選択ゲート、10、20、30 画素アーキテクチャ(イメージセンサ)、11、12、21、22 画素、14、24 光検出器、15 伝達ゲート、16 浮動拡散部、18 リセットトランジスタ、19 リセットゲート、26 浮動拡散部、27 信号トランジスタ、28 リセットトランジスタ、29 行選択トランジスタ、32 増幅器、34 行選択トランジスタ、35 行選択ゲート、36 リセットトランジスタ、37 リセットゲート、41、42 浮動拡散部、51 伝達ゲート(TG1b)、52 伝達ゲート(TG1a)、61 伝達ゲート(TG2b)、62 伝達ゲート(TG2a)、71 光検出器(Pd1b)、72 光検出器(PD1a)、80 列サンプルホールド、81 列aトランジスタ、82、92 サンプルとホールドのリセット(SHR)、83 サンプルとホールドの信号(SHS)、87 列出力バス、90 列サンプルホールド、91 列bトランジスタ、94 光検出器(PD2a)、96

光検出器 (PD2b)。

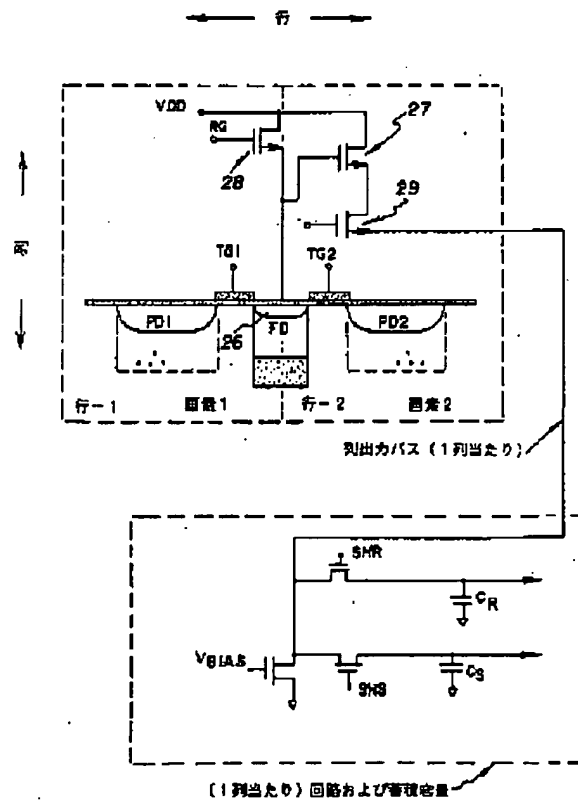
【図1】



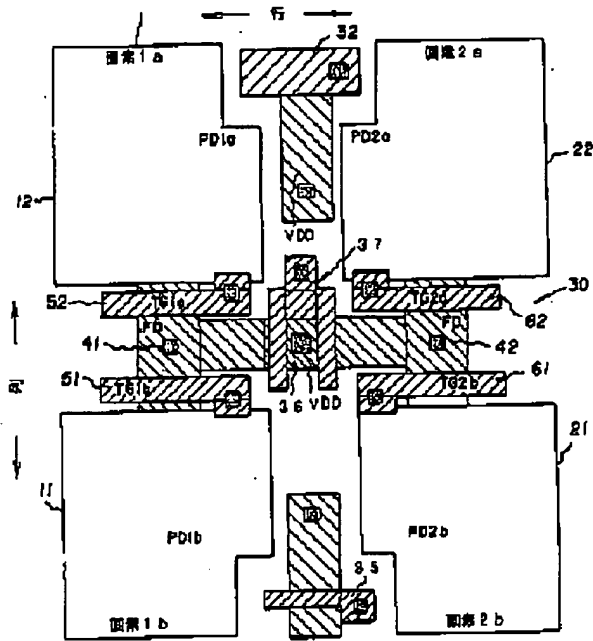
【図2】



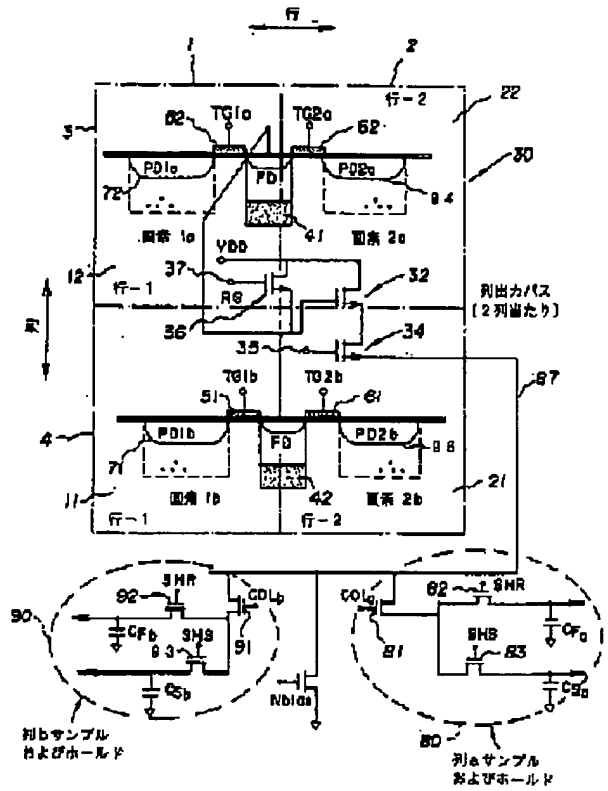
【図3】



【図4】



【図5】



【図6】

